



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09298281 A**(43) Date of publication of application: **18.11.97.**

(51) Int. Cl. **H01L 27/10**  
**H01L 27/04**  
**H01L 21/822**

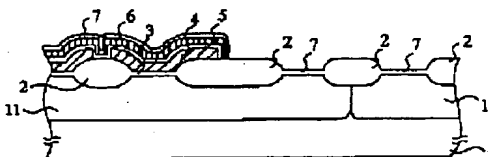
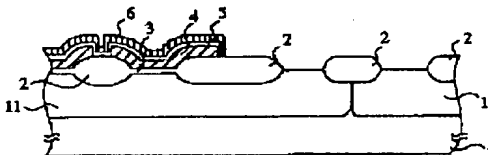
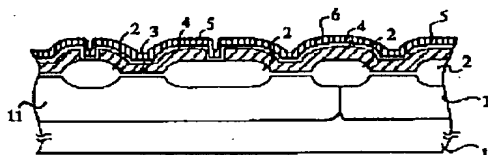
(21) Application number: **08109116**(22) Date of filing: **30.04.96**(71) Applicant: **RICOH CO LTD**(72) Inventor: **HASHIGAMI HIROYUKI**  
**YOSHIDA MASAOKI****(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To ensure a sufficient thickness of a top oxide film in a two-layer polysilicon process, by forming on an ONO composite insulation film a polysilicon film usable for a mask at a substrate washing step as a protective film and then forming a peripheral transistor gate oxide film.

**SOLUTION:** The manufacturing process comprises forming a silicon nitride film 6 on an ONO composite insulation film 5, forming a resist pattern to open a peripheral transistor region, removing the silicon nitride film 6, composite insulation film 5 and first polysilicon film 4 on the peripheral transistor region, etching the entire surface to expose the surface of a substrate 1 at an active region of the peripheral through region, washing the structure, and forming a peripheral transistor gate oxide film 7 on the exposed surface of the substrate 1. In the substrate washing step, a top oxide film of the composite insulation film 5 is covered with the silicon nitride film 6 as a

protective film to avoid film wearing or removal.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-298281

(43)公開日 平成9年(1997)11月18日

(51)Int.Cl.<sup>6</sup>H01L 27/10  
27/04  
21/822

識別記号

431

庁内整理番号

F I

H01L 27/10  
27/04

431

C

技術表示箇所

審査請求 未請求 請求項の数5 OL (全7頁)

(21)出願番号

特願平8-109116

(22)出願日

平成8年(1996)4月30日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 橋上 裕幸

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72)発明者 吉田 雅昭

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

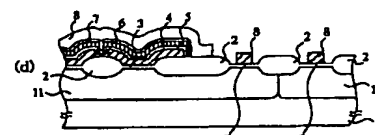
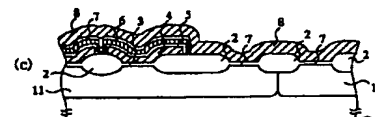
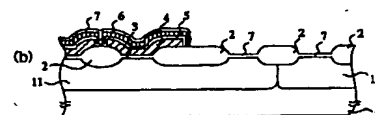
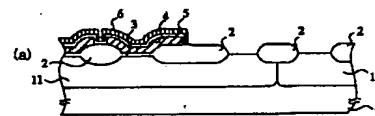
(74)代理人 弁理士 鳥居 祥

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 この発明は、2層ポリシリコンプロセスのままで2層ポリシリコン素子の特性及び信頼性の劣化を防止する半導体装置の製造方法を提供する。

【解決手段】 絶縁下地上に第一ポリシリコン膜4を形成する工程と、ポリシリコン膜4上にONO複合絶縁膜5を形成する工程と、ONO複合絶縁膜5上に保護膜6を形成する工程と、周辺トランジスタの保護膜6、ONO複合絶縁膜5及びポリシリコン膜4を除去し、活性領域の基板表面を露出させる工程と、露出した活性領域の基板表面を洗浄する工程と、周辺トランジスタの活性領域上にゲート酸化膜7を形成する工程と、第二ポリシリコン膜8を形成し、パターニングして2層ポリシリコン素子の上部電極と周辺トランジスタのゲート電極を形成する工程と、を備えた。



## 【特許請求の範囲】

【請求項1】 層間膜として複合絶縁膜を有する2層ポリシリコン素子領域を含む半導体装置の製造方法において、

絶縁下地上に低抵抗化されたポリシリコンからなる第一の導電体を形成し、所望の形状にパターニングする工程と、

前記第一の導電体上にシリコン酸化膜とシリコン窒化膜とが積層された複合絶縁膜層を形成する工程と、

前記複合絶縁膜層上に保護膜層を形成する工程と、

2層ポリシリコン素子領域以外の領域を開口させるレジストパターンを形成し、該領域の前記保護膜層、前記複合絶縁膜層及び前記第一の導電体を除去する工程と、

2層ポリシリコン素子領域以外の活性領域の半導体基板表面を露出させる工程と、

露出した前記2層ポリシリコン素子領域以外の活性領域の半導体基板表面を洗浄する工程と、

前記2層ポリシリコン素子領域以外の活性領域上にゲート酸化膜を形成する工程と、

低抵抗化されたポリシリコンからなる第二の導電体を形成し、所望の形状にパターニングして前記2層ポリシリコン素子の上部電極と前記2層ポリシリコン素子領域以外の領域のトランジスタのゲート電極を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記複合絶縁膜層として、第一シリコン酸化膜、シリコン窒化膜、第二シリコン酸化膜をこの順序で積層したONO複合絶縁膜を用いたことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記複合絶縁膜層上に形成される保護膜層としてシリコン窒化膜を用いることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記複合絶縁膜層上に形成される保護膜層としてポリシリコン膜を用いることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項5】 前記複合絶縁膜層として、シリコン酸化膜とシリコン窒化膜の積層膜を用いることを特徴とする請求項4に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、2層ポリシリコン構造の容量素子あるいは2層ポリシリコン構造の不揮発性メモリなどの半導体装置の製造方法に関する。

【0002】

【従来の技術】 2層ポリシリコンの層間膜として、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を積層した、いわゆるONO (Oxide/Nitride/Oxide) 複合絶縁膜を有する2層ポリシリコン構造の容量素子を含む半導体装置、あるいは浮遊ゲートを有する2層ポリシリコン構造の不揮発性メモリを含む半導体装置の製造方法においては、プロセスを簡易化するため

に2層ポリシリコン素子の上部電極と周辺トランジスタのゲート電極を同層のポリシリコンで形成する場合が多い。

【0003】 上記のようなプロセス（以下、2層ポリシリコンプロセスと称す。）においては、ONO複合絶縁膜のトップ酸化膜と周辺トランジスタのゲート酸化膜を同時に熱酸化によって形成している。

【0004】 ところで、不揮発性メモリの場合、IEEE Transactions on Electron Devices Vol. 2 February 1991の386頁から391頁の「ONO Interpoly Dielectric Scaling for Nonvolatile Memory Applications」に記載されているように、データ保持特性を確保するためにはONO複合絶縁膜のトップ酸化膜は最低30Åは必要だとされている。

【0005】 一方、近年の素子の微細化、高速化により、ゲート酸化膜はますます薄膜化及び低温酸化の傾向が進んでいる。このため、上記2層ポリシリコンプロセスでは、同時に形成されるONO複合絶縁膜のシリコン窒化膜上のトップ酸化膜は十分な膜厚が確保できず、2層ポリシリコン間のリーク特性が劣化し、容量素子特性や不揮発性メモリのデータ保持特性を著しく低下させるという問題がある。

【0006】 また、あらかじめ熱酸化により十分な膜厚のONO複合絶縁膜のトップ酸化膜を形成した後、周辺トランジスタのゲート酸化膜を形成したとしてもゲート酸化前の基板洗浄プロセスによりONO複合絶縁膜のトップ酸化膜はほとんどエッチングされてしまい、その後のゲート酸化では結局十分な膜厚のONO複合絶縁膜のトップ酸化膜は得られない。

【0007】 上記問題を避けるには、形成したONO複合絶縁膜上を2層ポリシリコン素子の上部電極ポリシリコンで覆った後、周辺トランジスタのゲート電極である3層目のポリシリコンを形成する方法（以下、3層ポリシリコンプロセスと称す。）がある。

【0008】 しかしながら、この3層ポリシリコンプロセスの場合、製造工数の増大だけでなく、表面を酸化されたポリシリコン膜の微細エッチング加工が困難な事や周辺トランジスタのゲート酸化前に2層ポリシリコン素子を微細加工してしまう場合においても、3層目のポリシリコン電極形成の熱処理が既形成の2層ポリシリコン素子特性に悪影響を及ぼすという問題がある。

【0009】 また、特開平6-232414号公報には、十分な膜厚の最上層酸化膜を有する半導体装置を製造する方法として、通常、半導体の製造プロセスでは行われていないが、2層ポリシリコン素子の上部電極を形成する前に洗浄し、その際のONOのトップ酸化膜の目減り分を見越してシリコン窒化膜上の熱酸化膜の上に更にCVDシリコン酸化膜を形成する方法が提案されてい

る。

【0010】しかしながら、この方法では、洗浄で目減りする酸化膜厚の制御が困難でONO複合絶縁膜のトップ酸化膜上のCVD酸化膜を十分厚く設定する必要があり、しかもその膜厚はウェハ面内で大きくバラつくことは避けられない。従って、所望の2層ポリシリコン間の容量が得られなかったり、容量特性が大きくバラつくという問題がある。

【0011】また、耐圧やリーク電流特性の悪化しない構造の2層ポリシリコン容量を含む半導体装置を製造する方法が特開平5-291499号公報に開示されている。

【0012】この方法は、2層ポリシリコン素子容量において、下層ポリシリコンのグレイン成長によるポリシリコンと酸化膜界面のアスピリティの増大が2層ポリシリコン素子容量の耐圧やリーク電流特性を劣化させるという問題を解決するものであり、このために層間絶縁膜を窒化膜-酸化膜(NO構造)にしている。

【0013】しかしながら、この方法では、シリコン窒化膜上のシリコン酸化膜を熱酸化で形成すると下層ポリシリコンとシリコン窒化膜界面に重大な悪影響を及ぼす。そこで、シリコン窒化膜上にポリシリコン膜をCVDで形成し、その後熱酸化で酸化膜に変換することで上記界面への悪影響を低減するというものである。

【0014】このように、上記層間絶縁膜構造をとるためには、シリコン窒化膜を熱酸化できず、副次的にシリコン窒化膜上のシリコン酸化膜をポリシリコン膜の熱酸化でシリコン酸化膜に変換しているもので、しかもそのポリシリコン膜はなるべく薄い方がよいとしており、2層ポリシリコンプロセスにおけるトップ酸化膜の膜厚が十分に取ることができないという上記問題点は解決されていない。

【0015】

【発明が解決しようとする課題】この発明は、上述した従来の問題点を解消するためになされたものにして、2層ポリシリコンプロセスのままで2層ポリシリコン素子の特性及び信頼性の劣化を防止する半導体装置の製造方法を提供するものである。

【0016】

【課題を解決するための手段】この発明は、層間膜として複合絶縁膜を有する2層ポリシリコン素子領域を含む半導体装置の製造方法において、絶縁下地上に低抵抗化されたポリシリコンからなる第一の導電体を形成し、所望の形状にパターニングする工程と、前記第一の導電体上にシリコン酸化膜とシリコン窒化膜とが積層された複合絶縁膜層を形成する工程と、前記複合絶縁膜層上に保護膜層を形成する工程と、2層ポリシリコン素子領域以外の領域を開口させるレジストパターンを形成し、該領域の前記保護膜層、前記複合絶縁膜層及び前記第一の導電体を除去する工程と、2層ポリシリコン素子領域以外

の活性領域の半導体基板表面を露出させる工程と、露出した前記2層ポリシリコン素子領域以外の活性領域の半導体基板表面を洗浄する工程と、前記2層ポリシリコン素子領域以外の活性領域上にゲート酸化膜を形成する工程と、低抵抗化されたポリシリコンからなる第二の導電体を形成し、所望の形状にパターニングして前記2層ポリシリコン素子の上部電極と前記2層ポリシリコン素子領域以外の領域のトランジスタのゲート電極を形成する工程と、を備えたことを特徴とする。

【0017】前記複合絶縁膜層は、第一シリコン酸化膜、シリコン窒化膜、第二シリコン酸化膜をこの順序で積層したONO複合絶縁膜を用いることができる。

【0018】また、前記複合絶縁膜層上に形成される保護膜層としてシリコン窒化膜またはポリシリコン膜を用いるとよい。

【0019】また、前記保護膜層として、ポリシリコン膜を用いた場合には、前記複合絶縁膜層として、シリコン酸化膜とシリコン窒化膜の積層膜を用いるとよい。

【0020】上記したように、この発明は、ONO複合絶縁膜上に基板洗浄プロセスのマスクとなるポリシリコン膜又はシリコン窒化膜を保護膜として形成し、その後周辺トランジスタのゲート酸化を行うことにより、2層ポリシリコンプロセスのままで2層ポリシリコン素子特性及び信頼性を劣化させることなく半導体装置を製造できる。すなわち、この発明では、保護膜により洗浄プロセスでONO複合絶縁膜のトップ酸化膜は目減りせず、安定した所望の膜厚に設定できる。

【0021】

【発明の実施の形態】以下、この発明の実施の形態につき図面を参照して説明する。図1及び図2は、この発明を不揮発性メモリに適用した場合の実施の形態を示す工程別断面図である。

【0022】まず、既知の方法により、シリコン半導体基板1上にNウェル領域10、Pウェル領域11を形成後、選択的に素子分離領域にフィールド酸化膜2を形成する(図1(a)参照)。

【0023】続いて、活性領域の基板1表面を露出させ、基板洗浄後、膜厚100~300Å程度のメモリ部のゲート酸化膜3を形成する。このゲート酸化膜3は、例えば、温度850~950℃のウェット(WET)酸化により形成される(図1(b)参照)。

【0024】次に、メモリの浮遊電極となる膜厚500~3000Å程度の第一のポリシリコン膜4をゲート酸化膜2上に形成する。このポリシリコン膜4は、例えば、温度600~800℃のCVD法により基板上に形成され、リンなどの不純物を例えば、加速電圧30KeV、ドーズ量5E15程度の注入条件で導入するか、あるいは既知のリンガラスからの固相拡散により導入し、低抵抗化する。更に、メモリ間の浮遊電極の分離のためのパターニングを行う(図1(c)参照)。

【0025】更に、例えば、温度850～1000℃のドライ(DRY)酸化により、ポリシリコン4表面に膜厚100～300Åのシリコン酸化膜を形成し、続けて、例えば、温度700～800℃のCVD法により、シリコン窒化膜を形成し、このシリコン窒化膜を例えば、温度850～1000℃のWET酸化により、膜厚30～50Åのシリコン酸化膜を形成して、ONO複合絶縁膜5を形成する(図1(d)参照)。

【0026】次に、ONO複合絶縁膜5上に保護膜層として膜厚100～1000Å程度のシリコン窒化膜6を形成する。このシリコン窒化膜6は、前記と同様のCVD法により、ONO複合絶縁膜5上に形成する(図1(e)参照)。

【0027】続いて、周辺トランジスタ領域を開口させるレジストパターンを形成し、周辺トランジスタ領域の上記図1(b)から図1(e)で示す工程で形成したシリコン窒化膜6、ONO複合絶縁膜5及び第一のポリシリコン膜4を除去し、全面エッチングにて周辺トランジスタ領域の活性領域の半導体基板1表面を露出させる(図2(a)参照)。

【0028】そして、基板洗浄後、露出した基板1表面に周辺トランジスタの膜厚100～200Å程度のゲート酸化膜7を形成する。このゲート酸化膜7は、例えば、温度850～950℃のWET酸化により形成される(図2(b)参照)。

【0029】なお、この周辺トランジスタのゲート酸化前の洗浄プロセス時において、ONO複合絶縁膜5のトップ酸化膜は保護膜としてのシリコン窒化膜6によって覆われているので膜減りあるいは除去されることがない。

【0030】従って、このONO複合絶縁膜5上に形成される2層目のポリシリコン膜とのデータ保持特性の劣化を防止できる。

【0031】その後、メモリの制御電極及び周辺トランジスタのゲート電極となる膜厚2000～4000Å程度の第二のポリシリコン膜8を基板1全面に形成する。この第二のポリシリコン膜8は、例えば、温度600～800℃のCVD法により形成し、リンなどの不純物を既知のリンガラスからの固相拡散により導入し、低抵抗化する(図2(c)参照)。

【0032】続いて、2回の写真製版、エッチングによりメモリ部の2層ポリシリコンゲート及び周辺トランジスタのゲートを微細加工する(図2(d)参照)。

【0033】更に、既知の方法により、各トランジスタのソース、ドレイン領域を形成し、更に既知の配線工程にて半導体装置を完成させる。

【0034】このように、この実施の形態においては、工程数の少ない2層ポリシリコンプロセスにより不揮発性メモリのデータ保持特性を劣化させることがない半導体装置を製造することができる。

【0035】次に、この発明を2層ポリシリコン容量素子を含む半導体装置に適用した場合の実施の形態につき説明する。図3及び図4は、この発明を2層ポリシリコン容量素子を含む半導体装置に適用した場合の実施の形態を示す工程別断面図である。

【0036】まず、既知の方法により、シリコン半導体基板1上にNウェル領域10、Pウェル領域11を形成後、選択的に素子分離領域にフィールド酸化膜2を形成する(図3(a)参照)。

10 【0037】続いて、容量素子の下部電極となる膜厚500～3500Å程度の第一のポリシリコン膜14を形成する。この第一のポリシリコン膜14は、例えば、温度600～800℃のCVD法により基板1全面に形成し、リンなどの不純物を、例えば加速エネルギー30KeV、ドーズ量5E15程度の注入条件で導入するか、あるいは既知のリンガラスからの固相拡散により導入し、低抵抗化する(図3(b)参照)。

20 【0038】更に、例えば、温度850～1000℃のドライ酸化により、ポリシリコン膜14表面に膜厚100～300Åのシリコン酸化膜を形成し、続けて、例えば温度700～800℃のCVD法により、シリコン酸化膜上にシリコン窒化膜を形成し、これを例えば温度850～1000℃のWET酸化により膜厚30～50Åのシリコン酸化膜を形成して、ONO複合絶縁膜15を形成する(図3(c)参照)。

【0039】次に、ONO複合絶縁膜15上に保護膜として膜厚100～1000Å程度のシリコン窒化膜16を形成する。このシリコン窒化膜16は、前記と同様のCVD法で形成する(第3図(d)参照)。

30 【0040】そして、写真製版、エッチングにより、周辺トランジスタ領域の前記図3(b)から図3(d)で示す工程で形成したポリシリコン膜14、ONO複合絶縁膜15及びシリコン窒化膜16を除去し、基板1表面を露出する。また同時に容量素子領域では所望の下部電極形状に前記ポリシリコン膜14、ONO複合絶縁膜15及びシリコン窒化膜16をパターニングする(図4(a)参照)。

40 【0041】続いて、基板洗浄後、例えば、温度850～950℃のWET酸化により、例えば膜厚100～200Åの周辺トランジスタのゲート酸化膜17を形成する(図4(b)参照)。

【0042】なお、この周辺トランジスタのゲート酸化前の洗浄プロセス時において、ONO複合絶縁膜15のトップ酸化膜は保護膜としてのシリコン窒化膜16によって覆われているので膜減りあるいは除去されることがない。

【0043】従って、2層ポリシリコン容量素子の2層ポリシリコン層間のONO膜のリーク特性の劣化が防止できる。

50 【0044】次に、容量素子の上部電極及び周辺トラン

ジスタのゲート電極となる膜厚2000~4000Å程度の第二のポリシリコン膜18を形成する。この第二のポリシリコン膜18は、例えば、温度600~800℃のCVD法により形成し、リンなどの不純物を既知のリンガラスからの固相拡散により導入し、低抵抗化する(図4(c)参照)。

【0045】その後、写真製版、エッチングにより同時に容量素子の上部電極及び周辺トランジスタゲートを微細加工する(図4(d)参照)。

【0046】更に、既知の方法により各トランジスタのソース、ドレイン領域を形成、更に既知の配線工程にて半導体装置を完成させる。

【0047】このように、この実施の形態においては、工程数の少ない2層ポリシリコンプロセスにより2層ポリシリコン構造の容量素子のリーク電流特性を劣化させることがない半導体装置を製造することができる。

【0048】また、上記した実施の形態においては、保護膜として、シリコン窒化膜6、16を用いたが、保護膜としてポリシリコン膜を用いても良い。ポリシリコン膜をこの保護膜として用いると、このポリシリコン膜は周辺トランジスタのゲート酸化時に一部あるいはすべて酸化される。

【0049】保護膜としてシリコン窒化膜6、16からポリシリコン膜に変えた場合、複合絶縁膜5、15をシリコン酸化膜-シリコン窒化膜のON構造にしてもよく、その場合はポリシリコン膜が完全に酸化されて形成されたシリコン酸化膜が窒化膜上の酸化膜、いわゆるトップ酸化膜の役目を果たし、最終的に2層ポリシリコン間の複合絶縁膜はONO構造となる。

【0050】

【発明の効果】以上説明したように、この発明によれば、ポリシリコン層間膜としてONO複合絶縁膜を有する2層ポリシリコン構造の容量素子を含む半導体装置、あるいは浮遊ゲートを有する2層ポリシリコン構造の不揮発性メモリを含む半導体装置の製造方法において、周

辺トランジスタのゲート酸化前の洗浄プロセス時にONOトップ酸化膜は保護膜によって覆われているので膜減りあるいは除去されることがなくなる。従って、容量素子の2層ポリシリコン層間のONO膜のリーク特性、あるいは不揮発性メモリのデータ保持特性を劣化させることなく、しかも工程数の少ない2層ポリシリコンプロセスで上記半導体装置を製造することができる。

【0051】また、2層ポリシリコン層間のONO膜のトップ酸化膜として、保護膜として用いたポリシリコン膜を周辺ゲート酸化時に完全に酸化された酸化膜を用いることにより熱酸化では得られない厚い膜厚のトップ酸化膜が実現できる。従って2層ポリシリコン層間のONO膜のリーク特性、あるいは不揮発性メモリのデータ保持特性を更に向上することができる。さらに、シリコン窒化膜上の熱酸化という高温処理の時間が低減でき、プロセスの低温化にも有利である。

【図面の簡単な説明】

【図1】この発明を不揮発性メモリに適用した場合の実施の形態を示す工程別断面図である。

【図2】この発明を不揮発性メモリに適用した場合の実施の形態を示す工程別断面図である。

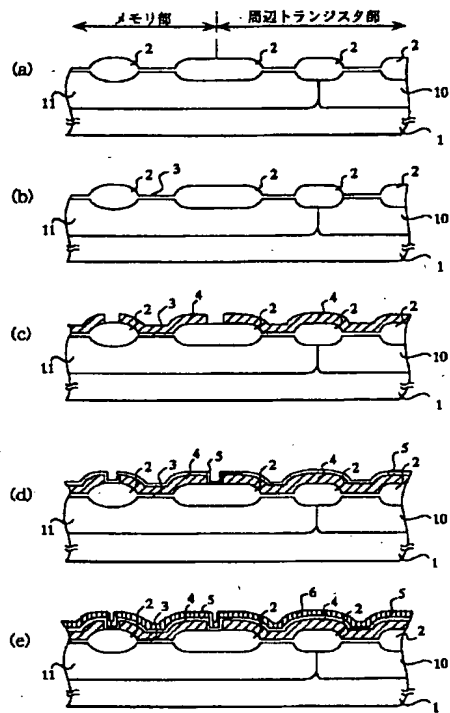
【図3】この発明を2層ポリシリコン容量素子を含む半導体装置に適用した場合の実施の形態を示す工程別断面図である。

【図4】この発明を2層ポリシリコン容量素子を含む半導体装置に適用した場合の実施の形態を示す工程別断面図である。

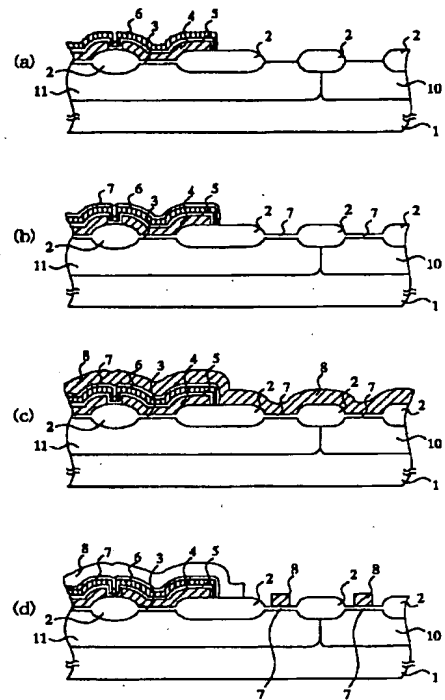
【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜
- 4、14 第一のポリシリコン膜
- 5、15 ONO複合絶縁膜
- 6、16 シリコン窒化膜(保護膜)
- 8、18 第二のポリシリコン膜

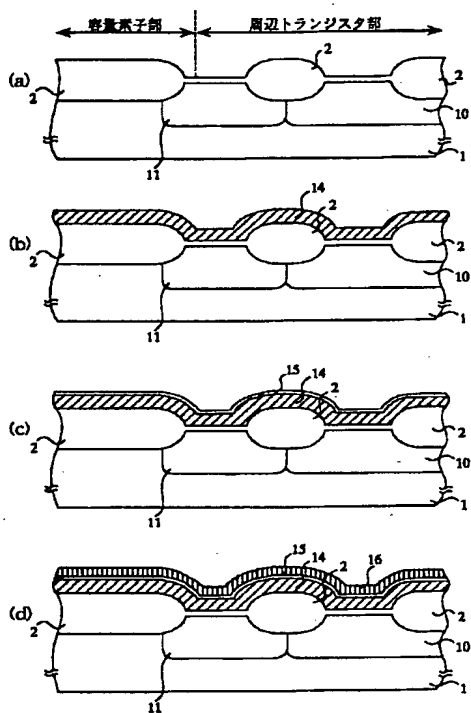
【図1】



【図2】



【図3】



【図4】

